

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11718141

Basic Patent (No,Kind,Date): JP 6088972 A2 940329 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): KUNII MASABUMI

IPC: *G02F-001/136; H01L-029/784

Derwent WPI Acc No: G 94-141408

JAPIO Reference No: 180349P000099

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6088972	A2	940329	JP 92265503	A	920908 (BASIC)

Priority Data (No,Kind,Date):

JP 92265503 A 920908

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04445072 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-088972 [JP 6088972 A]

PUBLISHED: March 29, 1994 (19940329)

INVENTOR(s): KUNII MASABUMI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-265503 [JP 92265503]

FILED: September 08, 1992 (19920908)

INTL CLASS: [5] G02F-001/136; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1763, Vol. 18, No. 349, Pg. 99, June
30, 1994 (19940630)

ABSTRACT

PURPOSE: To optimize the LDD structure of thin-film transistors(TFTs) of the active matrix type liquid crystal display device integrally formed with a display picture element part and a peripheral circuit part on the same substrate.

CONSTITUTION: The display picture element part 3 which includes plural pieces of picture elements TFTs 4 and the peripheral circuit part 2 which is disposed on the periphery of this display picture element part 3 and is constituted of plural pieces of the peripheral TFTs 5 are formed on the main surface of the insulating substrate 1. Both of the picture elements TFTs 4 and peripheral TFTs 5 are constituted of polycrystalline silicon thin films 6 having LDD regions of the same conduction type in at least either of between the source regions S and drain regions D and the channel regions. The length side of the LDD regions of the peripheral TFTs 5 or the impurity concentration of the LDD thereof is preferentially set in the increase of transistor-on-current and the length size of the LDD regions of the picture elements TFTs 4 or the impurity concentration of the LDD thereof is preferentially set in the suppressing of transistor-offcurrent.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-88972

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		3 1 1 S

審査請求 未請求 請求項の数5(全 8 頁)

(21)出願番号 特願平4-265503

(22)出願日 平成4年(1992)9月8日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 国井 正文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

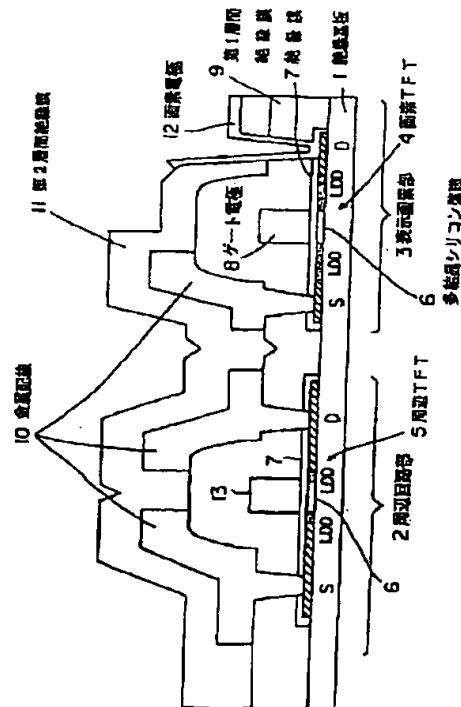
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【目的】 同一基板上に表示画素部及び周辺回路部が一体的に形成されたアクティブマトリクス型液晶表示装置において、薄膜トランジスタのLDD構造を最適化する。

【構成】 絶縁基板1の主面上には複数個の画素TFT 4を含む表示画素部3と、この表示画素部3の周辺に配置され且つ複数個の周辺TFT 5から構成された周辺回路部2が形成されている。画素TFT 4及び周辺TFT 5は、ともにソース領域S及びドレイン領域Dとチャネル領域との間の少なくとも一方に同一導電型のLDD領域を備えた多結晶シリコン薄膜6から構成されている。周辺TFT 5のLDD領域長さ寸法又はLDD不純物濃度はトランジスタオン電流の増大を優先して設定され、画素TFT 4のLDD領域長さ寸法又はLDD不純物濃度はトランジスタオフ電流の抑制を優先して設定されている。





(2)

特開平06-088972

【特許請求の範囲】

【請求項1】 一主面上に形成された複数個の第1の薄膜トランジスタを含む表示画素部と、この表示画素部の周辺に配置され且つ複数個の第2の薄膜トランジスタから構成された周辺回路部を有する一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板間に保持された液晶層とを備えた液晶表示装置において、

前記第1及び第2の薄膜トランジスタが、ソース不純物領域及びドレイン不純物領域とチャネル領域との間の少なくとも一方に前記不純物領域と同一導電型の低濃度不純物領域を備えた非単結晶半導体層を有するとともに、第1及び第2の薄膜トランジスタの低濃度不純物領域の長さ寸法及び不純物濃度の少なくとも一方が互いに異なる事の特徴とする液晶表示装置。

【請求項2】 前記第2の薄膜トランジスタは、ドレイン不純物領域側のみに低濃度不純物領域が形成されている事の特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記第2の薄膜トランジスタの低濃度不純物領域の長さ寸法又は不純物濃度はトランジスタオン電流の増大を優先して設定され、前記第1の薄膜トランジスタの低濃度不純物領域の長さ寸法又は不純物濃度はトランジスタオフ電流の抑制を優先して設定されている事の特徴とする請求項1記載の液晶表示装置。

【請求項4】 マトリクス状に配列されたゲート線及び信号線と、これらの各交点に配置されたスイッチング薄膜トランジスタと、このスイッチング薄膜トランジスタに接続された液晶画素電極を集積配置してアクティブマトリクス表示画素部を形成し、このアクティブマトリクス表示画素部に接続され前記ゲート線及び信号線に夫々選択信号及び画像信号を供給する周辺回路部を有する液晶表示装置において、

前記周辺回路部中の薄膜トランジスタ及び前記スイッチング薄膜トランジスタの活性層はLDD低濃度不純物領域を有する非単結晶シリコン薄膜からなるとともに、周辺回路部中の薄膜トランジスタの低濃度不純物領域の長さ寸法及び不純物濃度の少なくとも何れかは前記スイッチング薄膜トランジスタの低濃度不純物領域と異なる様に構成した事の特徴とする液晶表示装置。

【請求項5】 前記周辺回路部中の薄膜トランジスタの低濃度不純物領域の長さ寸法又は不純物濃度はトランジスタオン電流の増大を優先して設定され、前記スイッチング薄膜トランジスタの低濃度不純物領域の長さ寸法又は不純物濃度はトランジスタオフ電流の抑制を優先して設定されている事の特徴とする請求項4記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置に関する。より詳しくは、表示画素部とこ

れを駆動する周辺回路部が同一基板上に形成されたモノリシックタイプにおける薄膜トランジスタの構造に関する。

【0002】

【従来の技術】 薄膜トランジスタ(TFT)はアクティブマトリクス型液晶表示装置や密着型イメージセンサ等に応用できる為近年その開発が盛んに行なわれている。特に、薄膜材料として多結晶シリコン(poly-Si)を用いたTFT(poly-Si TFT)を集積回路デバイスとして組み込むと、周辺の駆動回路部もディスプレイ部やセンサ部と同一基板上に集積化できる為注目を集めている。中でもTFTのドレイン不純物領域端に、同一導電型で当該領域よりも薄い低濃度不純物領域(LDD)を有する、所謂LDD構造のTFT(LDD/TFT)は、ドレイン不純物領域端の電界集中を緩和できる為多結晶シリコンの結晶粒界や欠陥準位を介したトランジスタリーク電流を減らせる事から、アクティブマトリクス型液晶表示装置等に応用されている。LDD構造のTFTは、例えば特公平3-38755号公報に開示されている。

【0003】 本発明の背景を明らかにする為に、図8を参照してLDD/TFTを採用した従来のモノリシック型構造を簡潔に説明する。絶縁基板101の一主面には周辺回路部102と表示画素部103が一体的に形成されている。図では、模式的に周辺回路部102を構成する薄膜トランジスタ(周辺TFT)104と表示画素部103に含まれる画素スイッチ用の薄膜トランジスタ(画素TFT)105とを夫々1個ずつ示している。周辺TFT104と画素TFT105を同一の絶縁基板101上に形成する事により、工程の大幅な簡略化及び短縮化が実現でき、安価で高性能の小型液晶表示装置が得られる。周辺TFT104は活性層となる多結晶シリコン薄膜106を用いて構成されており、その上には絶縁膜107を介してゲート電極108が設けられている。この従来例では、多結晶シリコン薄膜106には通常のドレイン不純物領域D及びソース不純物領域Sが形成されている。さらに、第1層間絶縁膜109を介して金属配線110がパタニング形成されており周辺回路部102を構成する。

【0004】 一方、画素TFT105も同一の多結晶シリコン薄膜106から構成されており、その上には絶縁膜107を介してゲート電極111がパタニング形成されている。画素TFT105のソース不純物領域Sには第1層間絶縁膜109を介して金属配線110が電気接続されている。ドレイン不純物領域Dには第1層間絶縁膜109及び第2層間絶縁膜112を介して画素電極113が電気接続されている。さらに、ドレイン不純物領域Dの端部及びソース不純物領域Sの端部には同一導電型の低濃度不純物領域即ちLDD領域が設けられている。

(3)

特開平06-088972

【0005】上述した従来例では画素TFTのみがLDD構造を有し周辺TFTは通常の構造である。近年、周辺TFTの動作特性改善を図る為周辺回路部102においてもLDD構造を採用する事も提案されている。この場合、工程上の簡便さから、画素TFT105及び周辺TFT104はともに同一のLDD長さ寸法及びLDD不純物濃度に設定されていた。

【0006】

【発明が解決しようとする課題】表示画素の輝点欠陥を防止する為に、画素TFTは十分に低いオフ電流特性あるいはリーク電流特性が要求される。これに対し、周辺TFTでは周辺回路部に含まれる走査回路等を高速駆動させる為に十分に大きいドレイン電流特性あるいはオン電流特性が要求される。この様に、画素TFTと周辺TFTとでは要求される特性が夫々異なっている。

【0007】一方、アクティブマトリクス型液晶表示装置の高精細化が進むにつれ、集積形成されるTFTのチャネル長を短縮化する必要があり、チャネル長が5 μ m以下のpoly-Si TFTが形成される様になってきている。チャネル長を短縮化すると、リーク電流を低いレベルに抑制し且つ十分大きいオン電流特性を得る事が困難になる。特に周辺TFTでは仮にLDD構造としない場合、チャネル長を5 μ m以下に短縮化するとトランジスタ閾値電圧がデプレッション方向にシフトし正常な特性のTFTが得られなくなる。閾値電圧シフトを防ぐ為にはLDD構造が有効であり、微細化を進める上に当って採用される様になってきている。

【0008】しかしながら、前述した様に画素TFTと周辺TFTを同時にLDD構造とした場合、工程の簡便化を図る為同一のLDD長さ寸法及び同一のLDD不純物濃度に設定していた。しかしながら、周辺TFTのリーク電流抑制を優先させる為LDD不純物濃度を低くし且つLDD長さ寸法を大きくすると、周辺TFTのオン電流が低下するので走査回路が動作しなくなるという課題がある。逆に、周辺TFTの動作安定化を優先して、LDD不純物濃度を高くしLDD長さ寸法を短かくすると十分なオン電流を確保する事ができるが、逆に画素TFTのリーク電流が増大し画素輝点欠陥等が生ずるという課題がある。

【0009】なお、LDD構造とは別にTFT回路の高速化を目的とする技術が特公平2-61032号公報に開示されている。周辺駆動回路内蔵タイプで、周辺駆動回路領域をレーザーアニール加工しTFTの移動度を高める技術である。しかしながら、このレーザーアニール加工はレーザービームのスキャニングが必要となりスループットが低く、トランジスタの動作特性にもばらつきが生じる。従って、この技術を用いて微細化を行なう事は実際には困難である。

【0010】

【課題を解決するための手段】上述した従来の技術の課

題に鑑み、本発明はLDD構造を有効に活用して、表示画素部及び周辺回路部を同一基板上に形成したモノリシック型アクティブマトリクス液晶表示装置の高精細化を図る事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、一主面上に形成された複数個の第1の薄膜トランジスタ（画素TFT）を含む表示画素部と、この表示画素部の周辺に配置され且つ複数個の第2の薄膜トランジスタ（周辺TFT）から構成された周辺回路部を有する一方の基板と、対向電極を有し前記一方の基板に対向配置された他方の基板と、両方の基板間に保持された液晶層とを備えたアクティブマトリクス型液晶表示装置において、画素TFT及び周辺TFTがともにソース不純物領域及びドレイン不純物領域とチャネル領域との間の少なくとも一方に前記不純物領域と同一導電型の低濃度不純物領域を備えた非単結晶半導体層（例えば多結晶シリコン半導体層）を有するとともに、画素TFT及び周辺TFTの低濃度不純物領域即ちLDD領域の長さ寸法及び不純物濃度の少なくとも一方が互いに異なる事を特徴とする。具体的には、周辺TFTのLDD長さ寸法又はLDD不純物濃度はトランジスタオン電流の増大を優先して設定され、画素TFTのLDD長さ寸法又はLDD不純物濃度はトランジスタオフ電流の抑制を優先して設定されている。好ましくは、周辺TFTはドレイン不純物領域側のみにLDD領域が形成されている。

【0011】

【作用】LDD長さ寸法及びLDD不純物濃度を画素TFTと周辺TFTで互いに異ならせる事により、夫々の動作特性を互いに独立的に最適化できLDD構造の利点を最大限に活用できる。この結果、周辺TFT及び画素TFTのチャネル長を効率的に短縮化でき、高解像度且つ高精細なアクティブマトリクス型液晶表示装置を実現できる。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型液晶表示装置の基本的な構造を示す模式的な断面図である。図示する様に、石英等からなる絶縁基板1の主面上には周辺回路部2と表示画素部3とが一体的に形成されている。図示を簡略化する為に、表示画素部3には1個のスイッチング用画素TFT4が示されており、周辺回路部2には駆動用の周辺TFT5が1個のみ示されている。

【0013】画素TFT4は活性層として非単結晶シリコン薄膜例えば多結晶シリコン薄膜6を用いて構成されており、その上には絶縁膜7を介してゲート電極8がパタニング形成されている。このゲート電極8はゲート線に接続されており周辺回路部2から選択信号の供給を受ける。画素TFT4の上には第1層間絶縁膜9を介して金属配線10がパタニング形成されている。この金属配

(4)

特開平06-088972

線10は信号線を構成しており、周辺回路部2から画像信号の供給を受ける。当該金属配線10はコンタクトホールを介して画素TFT4のソース不純物領域Sに電気接続されている。第1層間絶縁膜9の上にはさらに第2層間絶縁膜11が設けられている。この上には画素電極12がバタニング形成されており、コンタクトホールを介して画素TFT4のドレイン不純物領域Dに電気接続されている。これらソース領域S及びドレイン領域Dの両端部には所定の長さ寸法及び不純物濃度を有するLDD領域が設けられている。

【0014】一方周辺回路部2に含まれる周辺TFT5も同一の多結晶シリコン薄膜6により構成されており、その上にはやはり絶縁膜7を介してゲート電極13がバタニング形成されている。周辺TFT5のソース領域S及びドレイン領域Dは夫々コンタクトホールを介して金属配線10に電気接続されており垂直走査回路や水平走査回路等の周辺回路部2を構成する。又、周辺TFT5においても、ソース領域Sとドレイン電極Dの両端部に夫々所定の長さ寸法及び不純物濃度を有するLDD領域が設けられている。なお、図示しないが周辺回路部2及び表示画素部3の形成された絶縁基板1に対して、所定の間隙を介し対向電極の形成された対向基板が所定の間隙を介して貼り合わされている。両基板の間隙内には液晶層が封入充填される。

【0015】本発明の特徴事項として、画素TFT4及び周辺TFT5のLDD長さ寸法及びLDD不純物濃度の少なくとも一方は互いに異なる様に設定されている。具体的には、周辺TFT5のLDD長さ寸法又はLDD不純物濃度はトランジスタオン電流の増大を優先して設定され、画素TFT4のLDD長さ寸法又はLDD不純物濃度はトランジスタオフ電流の抑制を優先して設定されている。さらに具体的には、周辺TFT5のLDD長さ寸法は画素TFT4のLDD長さ寸法よりも短かく設定されている。あるいは、周辺TFT5のLDD不純物濃度は画素TFT4のLDD不純物濃度に比べて高く設定されている。かかる構造により周辺TFT5の駆動能力を十分確保できるとともに、画素TFT4のリーク電流を低く抑制できる。この様にLDD構造を夫々最適化して採用する事によりTFTのチャンネル長を短縮化できる。

【0016】図2は、TFTのLDD長さ寸法とトランジスタオフ電流（リーク電流）の関係を示す。縦軸はリーク電流を対数メモリでとっており、パラメータとして3種類のドレイン電圧（ V_{ds} ）を設定している。このTFTはソース領域端及びドレイン領域端に夫々LDD領域を有しているとともに、チャンネル長 L は $3\mu m$ であり、チャンネル幅 W は $30\mu m$ である。又、LDD不純物濃度はドーズ量で $1 \times 10^{13} cm^{-2}$ に設定されている。図2のグラフから明らかな様に、LDD長さ寸法を大きくする事によりリーク電流を抑制できる。例えば、LDD

長さ寸法を $1\mu m$ に設定した場合、リーク電流は $V_{ds} = 15V$ でも $1 \times 10^{-10} A$ 以下と低く抑える事ができる。一方トランジスタオン電流は数百 μA 以上確保できるのでチャンネル幅 W を $3\mu m$ に狭くしても書き込み不足の惧れはなく、画素TFTとして好適である。

【0017】図3はTFTのLDDドーズ量とトランジスタオン電流の関係を示すグラフである。このTFTはチャンネル長 L が $5\mu m$ に設定されチャンネル幅 W が $3\mu m$ に設定されている。グラフから明らかな様に、ドーズ量が増大するに従ってトランジスタオン電流も増加する。但し、ドーズ量が $1 \times 10^{13} cm^{-2}$ 以上になるとオン電流の増加傾向は比較的緩やかになる。

【0018】次に図4及び図5を参照して本発明にかかるアクティブマトリクス型液晶表示装置の製造方法を詳細に説明する。先ず工程Aにおいて石英基板51上にLPCVD法で $poly-Si$ 薄膜52を約75nmの膜厚で成膜する。この後必要ならば、 Si^+ イオンをイオンインプランテーションにより照射して $poly-Si$ 薄膜52を非晶質化し、続いて600℃程度の温度で炉アニールする事によりシリコン多結晶を大粒徑化する。あるいは、予めプラズマ化学気相成長法（PCVD法）を用いて150～250℃程度の温度で非晶質シリコン薄膜を成膜し、アニールを加える事により大粒徑化を図っても良い。

【0019】次に工程Bにおいて $poly-Si$ 薄膜をバタニングし周辺TFT用の半導体領域53と画素TFT用の半導体領域54を夫々島状に形成する。続いてこれら半導体領域表面を酸化しゲート酸化膜を約60nmの膜厚で形成する。さらにこのゲート酸化膜上にLPCVD法で窒化シリコン膜（ Si_3N_4 膜）を約10～20nmの膜厚で成膜する。場合によってはこの Si_3N_4 膜を表面酸化し SiO_2 膜を約1～2nmの膜厚で形成する。この様にして形成したゲート絶縁膜55は、 $SiO_2/Si_3N_4/SiO_2$ の積層となる為ONO構造と呼ばれている。この積層構造を採用する事によりゲート耐圧を十分確保でき信頼性を改善可能とする。この後、TFTの閾値電圧 V_{th} を制御する為、必要ならば B^+ イオンを $1 \sim 8 \times 10^{12} cm^{-2}$ 程度のドーズ量で打ち込む。

【0020】工程Cにおいて、ゲート絶縁膜55上に燐をドーブした低抵抗多結晶シリコン膜を約350nmの膜厚で成膜した後バタニングする事によりゲート電極56、57を形成する。ゲート電極用低抵抗多結晶シリコンの成膜方法としては、ノンドーブ多結晶シリコン薄膜を形成した後 $POCl_3$ ガスを用いて燐を拡散させる方法や、 $POCl_3$ ガスの代わりにPSG膜を用いて燐拡散を行なう方法や、LPCVD法により SiH_4 ガスと PH_3 ガスの混合気体を熱分解しドーブ $poly-Si$ 薄膜を成膜する方法等がある。何れの方法を用いても良いが、本実施例では第1の方法を採用した。なおこの

(5)

特開平06-088972

実施例では、TFTのチャネル長 L 及びチャネル幅 W が、 $L/W=3\mu\text{m}/30\mu\text{m}$ 、 $5\mu\text{m}/3\mu\text{m}$ の2種類を作成した。

【0021】次に工程DにおいてLDD領域を形成する。ゲート電極56、57を形成した後、周辺回路部を形成する部分をレジスト58で被覆する。nチャネル型の画素TFTを形成する場合、 As^+ 又は P^+ イオンを表示画素部だけに $0.1\sim1.5\times10^{13}\text{cm}^{-2}$ のドーズ量で打ち込む。pチャネル型の画素TFTを形成する場合には、 As^+ 又は P^+ イオンの代わりに B^+ イオンを $0.1\sim2.0\times10^{13}\text{cm}^{-2}$ のドーズ量で同様に打ち込めば良い。次に工程Eにおいて、レジスト58を剥離した後、表示画素部を新たにレジスト59で選択的に被覆する。露出した周辺回路部に対してnチャネル型の周辺TFTを形成する場合には As^+ 又は P^+ イオンを $0.2\times10^{13}\sim2.0\times10^{14}\text{cm}^{-2}$ 程度のドーズ量で打ち込む。Pチャネル型の周辺TFTを形成する場合には B^+ イオンを $0.1\sim4.0\times10^{13}\text{cm}^{-2}$ 程度のドーズ量で打ち込む。例えばドーズ量は画素TFTで $0.5\times10^{13}\text{cm}^{-2}$ に設定し周辺TFTで $1\times10^{13}\text{cm}^{-2}$ 程度に設定する事が望ましい。イオン打ち込み終了後にレジスト59を剥離する。但し、画素TFTと周辺TFTのLDD不純物濃度を等しく設定する場合には、レジスト58及びレジスト59の2枚のマスクを用いたイオン打分けは必要ない。

【0022】続いて図5に示す工程Fにおいて、ソース領域及びドレイン領域を形成する。ゲート電極56、57の夫々両側面から、画素TFTの場合は $0.1\sim1.5\mu\text{m}$ 、周辺TFTの場合は $0.05\sim1.5\mu\text{m}$ の長さ寸法をLDD領域60として残す様にレジスト61をパタニング形成する。画素TFTの場合、LDD領域60の長さ寸法を $0.1\mu\text{m}$ 以下にするとリーク電流が増大し画素輝点欠陥の原因となる。又、長さ寸法を $1.5\mu\text{m}$ 以上に設定するとLDD領域60の抵抗が大きくなり画素に対する画像信号の書き込み不足の原因となる。周辺TFTの場合、LDD領域60を $0.05\mu\text{m}$ 以下にするとリーク電流が大きくなりオン/オフ比が十分とれなくなってくる。又、 $1.5\mu\text{m}$ 以上に設定するとオン電流が十分大きくとれない為走査回路として不適となる。本実施例では画素TFTのLDD長さ寸法を $1\mu\text{m}$ に設定し、周辺TFTのLDD長さ寸法を $0.5\mu\text{m}$ に設定している。レジスト61をパタニング形成した状態で As^+ 又は P^+ イオンを $1\sim3\times10^{15}\text{cm}^{-2}$ のドーズ量で打ち込みnチャネル型TFTのソース領域61及びドレイン領域62を形成する。なおpチャネル型のTFTを形成する場合には As^+ 又は P^+ イオンに代えて B^+ イオンを打ち込む。

【0023】次に工程Gにおいて、LPCVD法によりPSGからなる第1層間絶縁膜63を約 600nm の膜厚で形成する。続いて窒素ガス雰囲気中で 1000°C 及び

$10\sim30$ 分間のアニールを行ない、ソース領域、ドレイン領域、LDD領域を活性化させる。

【0024】最後に工程Hにおいて第1層間絶縁膜63にコンタクトホールをあけ、金属配線64となるアルミニウムを約 600nm の膜厚で成膜しパタニングする。この上に、さらにPSGからなる第2層間絶縁膜65を約 400nm の膜厚で形成する。続いてPCVD法により窒化シリコン膜($P-SiNx$ 膜)を約 100nm の膜厚で形成する。図示しないが、この $P-SiNx$ 膜は水素を多量に含む為、成膜後アニールを行なう事によりTFTの水素化を効果的に実施できる。水素化により多結晶シリコンの欠陥密度を減少させ、欠陥に起因するTFTのリーク電流を抑制する事ができる。水素化処理後 $P-SiNx$ 膜はエッチングにより全面的に除去される。この後、図示しないが第2層間絶縁膜65及び第1層間絶縁膜63をエッチングで開口した後、ITO等の透明導電膜を例えば 140nm の膜厚で成膜し、エッチングによりパタニングして画素電極を形成する。この様にして製造された集積回路基板の完成状態は、既に図1に示した通りである。

【0025】図6は、本発明にかかるアクティブマトリクス型液晶表示装置の他の実施例を示す。基本的に、図1に示した実施例と同一の構成を有しており、対応する部分には対応する参照番号あるいは参照符号を付して理解を容易にしている。異なる点は、周辺TFT5のLDD領域をドレイン領域D側のみに作成した事である。画素TFT4の場合には液晶層(図示せず)を交流駆動する為にソース側とドレイン側は交互に入れ替わるので、LDD領域をソース領域端とドレイン領域端の両側に設ける必要がある。一方周辺TFT5の場合少なくともドレイン側のみにLDD領域を設ければ良い。周辺TFTのLDD領域をレジストマスクで作成する時、ドレイン側のみをレジストマスクで被覆する様にすれば選択的にLDD領域ができる。ソース及びドレインの両側にLDD領域を形成する場合に比べて、LDD抵抗を低減する事ができるので、トランジスタオン電流を十分大きくとれる。かかる構造にすれば周辺TFTと画素TFTの要求仕様を同時に満足するLDD長さ寸法及びLDD不純物濃度を決定する事がより容易になる。なお、リーク電流はソース及びドレインの両端部にLDD領域を設けた場合よりも上昇するが、周辺TFTの場合には実際上問題は生じないレベルである。

【0026】図7は、ドレイン側のみにLDD領域を設けたTFT(片側LDD)と、ソース及びドレインの両端にLDDを設けたTFT(両側LDD)の両者について、LDD長さ寸法とトランジスタオン電流の関係を示すグラフである。なおTFTのチャネル長 L は $3\mu\text{m}$ に設定しチャネル幅 W は $30\mu\text{m}$ に設定した。又、ドレイン電圧は 15V に設定されている。このグラフから明らかな様に、例えばLDD長さ寸法を $0.5\mu\text{m}$ に設定した

(6)

特開平06-088972

場合、片側LDDは両側LDDに比べて3倍以上のオン電流を得る事ができ、周辺駆動回路をより高速に動作させる事が可能になる。

【0027】上述した実施例では、TFTのゲート電極として多結晶シリコンを用い、ゲート絶縁膜としてON構造を採用し、金属配線材料としてアルミニウムを用いているが、本発明はこれに限られるものではない。ゲート電極としては、例えばシリサイドやポリサイドを用いる事もできる。あるいは金属ゲート電極としてTa, Al, Cr, Mo, Ni、及びこれらの合金等を用いても良い。ゲート絶縁膜としては、例えば窒化シリコンや、酸化タンタル等を用いる事ができる。又、配線材料としては、Ta, Cr, Mo, Ni、及びこれらの合金等を用いる事もできる。なお、本発明はプレーナ型、正スタガ型又は逆スタガ型の何れの薄膜トランジスタに対しても適用可能である事は言うまでもない。

【0028】

【発明の効果】以上説明した様に、本発明によれば、周辺TFTと画素TFTとでLDD長さ寸法及びLDD不純物濃度に夫々異なった値を設定する事により、要求特性の異なるTFTを最適設計する事ができる。この結果、チャネル長が3 μ m以下の微細化TFTを実現する事が可能になった。従って、本発明によりアクティブマトリクス型液晶表示装置の高解像度化及び高精細化が可能になり、その効果は絶大なものがある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の基本的な構成を示す断面図である。

【図2】本発明にかかる薄膜トランジスタのLDD長さ寸法とリーク電流との関係を示すグラフである。

【図3】本発明にかかる薄膜トランジスタのLDDドーズ量とトランジスタオン電流の関係を示すグラフである。

【図4】本発明にかかるアクティブマトリクス型液晶表示装置の製造方法を示す工程図である。

【図5】同じく製造工程図である。

【図6】本発明にかかるアクティブマトリクス型液晶表示装置の他の実施例を示す模式的な断面図である。

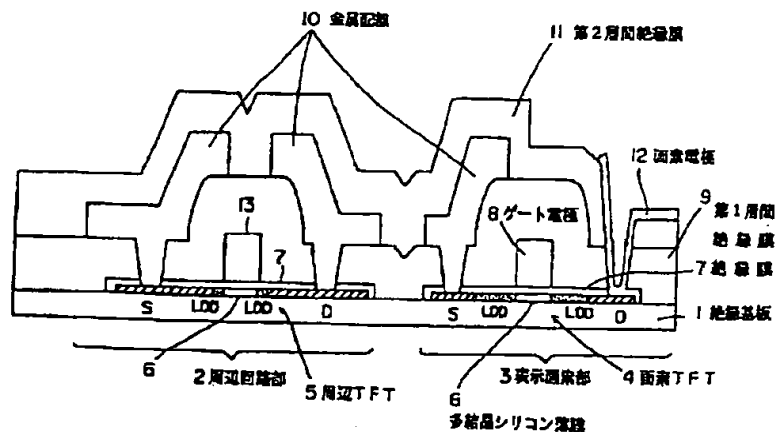
【図7】本発明にかかる薄膜トランジスタのLDD長さ寸法とトランジスタオン電流の関係を示すグラフである。

【図8】従来のアクティブマトリクス型液晶表示装置の一例を示す断面図である。

【符号の説明】

- | | |
|-----|-----------|
| 1 | 絶縁基板 |
| 2 | 周辺回路部 |
| 3 | 表示画素部 |
| 4 | 画素TFT |
| 5 | 周辺TFT |
| 6 | 多結晶シリコン薄膜 |
| 7 | ゲート絶縁膜 |
| 8 | ゲート電極 |
| 9 | 第1層間絶縁膜 |
| 10 | 金属配線 |
| 11 | 第2層間絶縁膜 |
| 12 | 画素電極 |
| 13 | ゲート電極 |
| D | ドレイン領域 |
| S | ソース領域 |
| LDD | 低濃度不純物領域 |

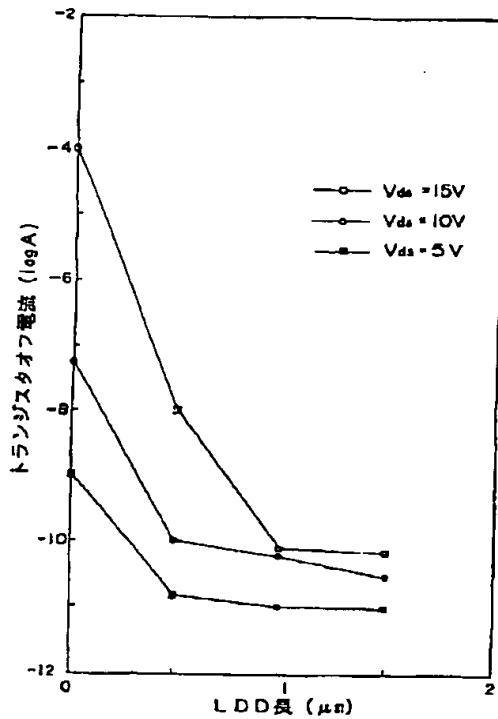
【図1】



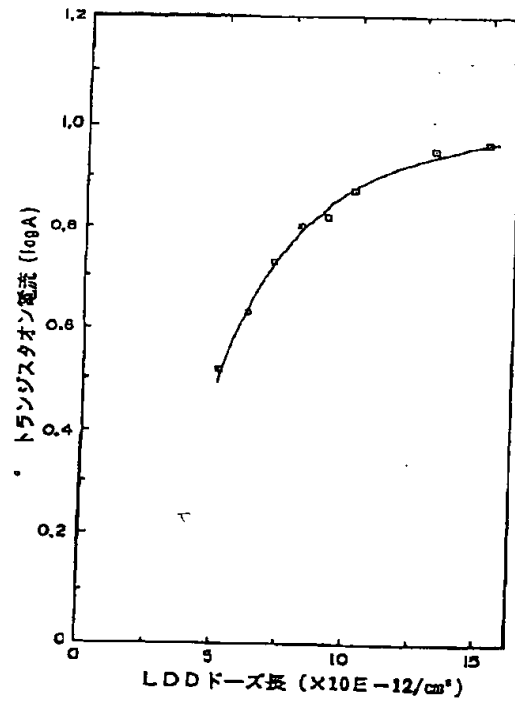
(7)

特開平06-088972

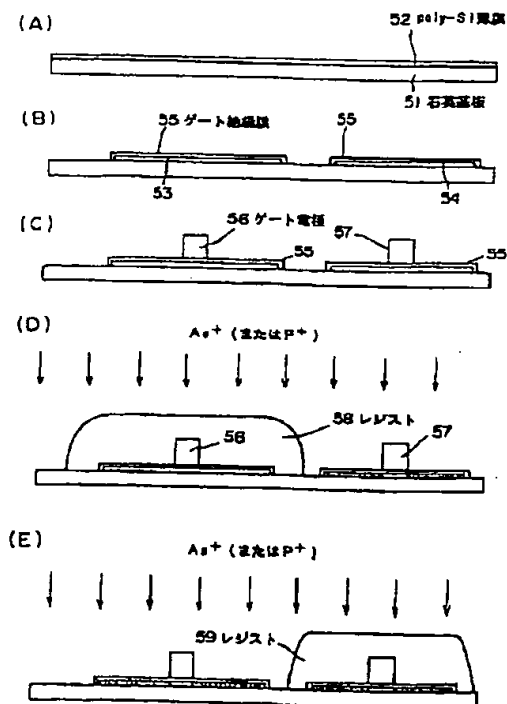
【図2】



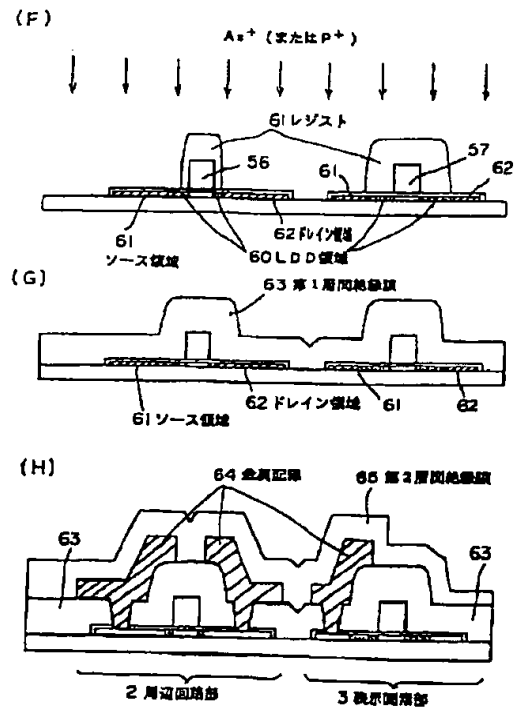
【図3】



【図4】



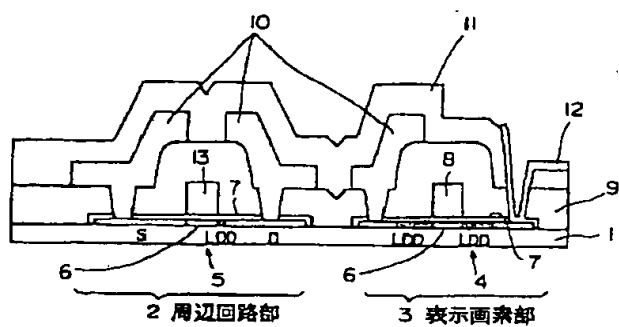
【図5】



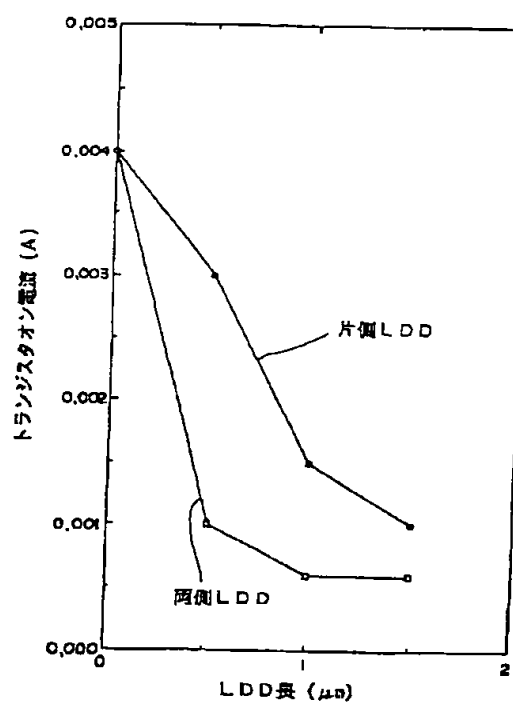
(8)

特開平06-088972

【図6】



【図7】



【図8】

